

# Abschätzung des Flächen und Energieverbrauchs von Verbindungsstrukturen auf einem Chip

Dominik Langen, André Brinkmann und Ulrich Rückert  
Heinz Nixdorf Institut, Fachgebiet Schaltungstechnik  
Universität Paderborn, 33102 Paderborn, Deutschland  
Email: {langen, brinkman, rueckert}@hni.upb.de

## Kurzfassung

Diese Arbeit befaßt sich mit der Aufgabe, den Energie- und Flächenverbrauch von Verbindungsstrukturen auf einem Chip für Standardzellen-Prozesse auf einer hohen Abstraktionsebene abzuschätzen. Es werden analytische Untersuchungen bezüglich der Verbindungsstrukturen Bus, Crossbar-Switch und Multiplexer vorgestellt und mit den Ergebnissen einer Simulation für eine 0,6  $\mu\text{m}$  CMOS Technologie verglichen. Bezüglich der Abschätzung des Energieverbrauchs ergab sich ein mittlerer Fehler von etwa 10%.

## 1 Einleitung

Die heutigen Fertigungstechnologien mit minimalen Strukturgrößen weit unter einem Mikrometer ermöglichen die Integration einer großen Anzahl von Komponenten, wie Mikroprozessorkerne, Speicher und Schnittstellen auf einem Chip. Mit der zunehmenden Anzahl und Komplexität der in diese sogenannten Systems-On-Chip (SOC) integrierbaren Module gewinnen die Verbindungsstrukturen auf dem Chip immer mehr an Bedeutung und bekommen einen immer größeren Einfluß auf die Ressourceneffizienz des Systems.

Um bei einer Schaltungsentwicklung die richtige Entscheidung bezüglich der einzusetzenden Verbindungsstrukturen möglichst früh treffen zu können, ist es notwendig, die Leistungsfähigkeit, den Flächenverbrauch und die Leistungsaufnahme der Verbindungsstrukturen auf einer möglichst hohen Abstraktionsebene abschätzen zu können. Bisher sind jedoch in diesem Bereich nur wenige Arbeiten zu finden. Y. Zhang u. andere haben verschiedene Verbindungsstrukturen bezüglich ihrer Geschwindigkeit und ihres Energieverbrauchs auf Transistorebene untersucht. In [4] vergleichen sie Multiplexer-Architekturen mit Bussen und Crossbar-Switches, und in [5] untersuchen sie segmentierte Busstrukturen. H. Zhang u. andere haben vorgeschlagen, hierarchische Verbindungsstrukturen zu verwenden, um SOCs mit heterogenen Modulen effizient zu unterstützen [3].

In dieser Arbeit werden analytische Modelle und simulativ ermittelte Ergebnisse bezüglich des Flächen- und Energieverbrauchs von verschiedenen Verbindungsstrukturen vorgestellt. Es werden dabei Busse, Multiplexer und Crossbar-Switches auf unterschiedlichen Abstraktionsebenen untersucht. Im Gegensatz zu einer Reihe anderer Arbeiten beziehen sich hier die Untersuchungen auf Standardzellenentwürfe. Mit Hil-

fe der hier präsentierten analytischen Modelle können auf einem hohen Abstraktionsniveau Abschätzungen über den zu erwartenden Energie- und Flächenverbrauch der Verbindungsstrukturen einer Schaltung gemacht werden. Dafür sind nur die Anzahl der Module, ihre ungefähre Größe und die Breite der Schnittstelle zu der Verbindungsstruktur notwendig. Die analytischen Modelle sind durch Simulationen mit einer 0,6  $\mu\text{m}$  Standardzellenbibliothek verifiziert worden.

Der Rest dieses Artikels ist wie folgt organisiert. Im zweiten Abschnitt werden die grundlegenden Modelle und Annahmen für die Untersuchungen eingeführt. Danach werden die analytischen Modelle, die den Energie- und Flächenverbrauch der verschiedenen Verbindungsstrukturen berechnen, vorgestellt. Im vierten Abschnitt werden die theoretischen Ergebnisse mit den Ergebnissen einer Simulationsumgebung, die eine detaillierte Modellierung der Gatter- und Leitungskapazitäten erlaubt, verglichen. Im letzten Abschnitt werden die Ergebnisse zusammengefaßt und es wird ein Ausblick auf zukünftige Arbeiten gegeben.

## 2 Grundlegende Modelle

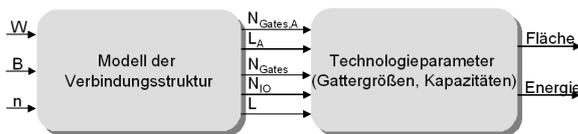
In diesem Abschnitt werden die grundlegenden Annahmen für die Untersuchungen dargestellt. Sie basieren auf einer Umgebung, wie sie in vielen Standardzellenentwürfen zu finden ist. Weiter wird aufgezeigt, welche Daten von der zugrundeliegenden Technologie für die Modelle notwendig sind. Zudem wird ein wesentlicher Baustein der Modelle vorgestellt, der Adreßdekode.

## 2.1 Annahmen

Die Modelle beschreiben in allen Fällen die minimale Infrastruktur, die notwendig ist, um einen Datentransfer zwischen zwei Modulen zu ermöglichen. Der Einfluß von Protokollen oder der Arbitrierung wird hier nicht berücksichtigt. Weiter wird nur die minimal notwendige Anzahl an Adreßbits dekodiert. Das heißt z.B., daß für eine Verbindungsstruktur mit acht Teilnehmern nur drei Bits für die Adresse ausgewertet werden, auch wenn der Adreßbus wesentlich breiter ist. Die restlichen Bits des Adreßbusses werden wie Daten behandelt. Für die gesamte Anzahl der parallelen Leitungen wird im folgenden die Variable  $W$  verwendet.

Da in den frühen Entwurfsphasen, in denen die Entscheidung für eine Verbindungsstruktur getroffen werden muß, in der Regel nur wenige Informationen über die einzelnen Schaltwahrscheinlichkeiten bekannt ist, wird hier angenommen, daß die Ausgänge des jeweiligen Senders mit einer Wahrscheinlichkeit von 50% schalten. Weiter wird angenommen, daß in jedem Takt ein Transfer stattfindet. Die Annahme ist unkritisch für den Vergleich der verschiedenen Verbindungsstrukturen. Sie führt zu einem konstanten Faktor für alle Modelle. Wenn die Auslastung  $\alpha$  der Verbindungsstruktur bekannt ist, kann mit Hilfe dieses Faktors die absolute Leistungsaufnahme der Struktur berechnet werden (s.u.).

Neben der Anzahl  $n$  der Module in dem System spielt die Größe der Module eine wichtige Rolle. Da die Annahme gemacht wird, daß alle Module quadratisch und gleich groß sind, ist es notwendig eine durchschnittliche Größe der Module zu berechnen. Für die durchschnittliche Größe wird der Buchstabe  $B$  benutzt, der die Länge einer Kante der Quadrate repräsentiert. **Bild 1** zeigt die Ein- und Ausgabegrößen des hier vorgestellten Ansatzes.



**Bild1: Ein- und Ausgaben der Modelle**

## 2.2 Technologische Daten

Die Modelle sind aus NOR und AND Gattern für die Adreßdekodierung, Tri-State-Treibern für bidirektionale Leitungen und Multiplexern aufgebaut.

Der Flächenverbrauch einer Verbindungsstruktur kann einfach berechnet werden, indem die Flächen für die notwendigen Gatter und die Fläche, die durch die Verdrahtung verbraucht wird, addiert werden. Die gesamte Länge der Verdrahtung wird durch die Modelle

berechnet. Für die Breite der Leitungen müssen Annahmen entsprechend den Vorgaben der zugrunde liegenden Technologie gemacht werden. Der Flächenverbrauch für in den Modellen benutzten Gatter ist in etwa gleich, so kann für alle Gatter derselbe Wert für den Flächenverbrauch verwendet werden. Diese Annahme ist zwar eine Vereinfachung, aber der Vergleich mit den Ergebnissen der Simulationsumgebung zeigt, daß auch so gute Resultate erzielt werden können (s.u.). Der gesamte Flächenverbrauch wird beschrieben durch

$$A_{total} = A_{Gate} * N_{Gates,A} + L_A * width \quad (Gl. 1)$$

$A_{Gate}$  ist die Fläche, die ein Gatter verbraucht,  $N_{Gates,A}$  ist die Anzahl der Gatter in der Verbindungsstruktur,  $L_A$  ist die gesamte Länge der Verbindungsleitungen und  $width$  ist die Breite der Leitungen.  $N_{Gates,A}$  und  $L_A$  werden durch die Modelle berechnet.

Die Abschätzung des Energieverbrauchs ist etwas komplexer, da hierfür drei Faktoren berücksichtigt werden müssen: die Kapazität der schaltenden Leitungen, die Ein- und Ausgangskapazitäten, die in der Verbindungsstruktur sichtbar sind, und der Energieverbrauch der schaltenden Gatter.

Die Kapazität der Leitungen wird bestimmt durch die spezifische Kapazität der Leitungen, die gesamte Länge der schaltenden Leitungen und die Breite der Leitungen (s.o.). Die spezifische Kapazität der Leitungen ( $C_{sp}$ ) ist ein Parameter der Technologie und kann nachgeschlagen werden. Die Gesamtlänge der schaltenden Leitungen  $L$  wird durch die Modelle bestimmt. Die Eingangskapazitäten der Gatter ( $C_{IO}$ ) können auch in den Datenblättern nachgeschlagen werden. In vielen Technologien haben die Eingangskapazitäten von allen Gattern näherungsweise denselben Wert. Tri-State-Treiber besitzen neben ihren Eingangskapazitäten auch Ausgangskapazitäten, wenn sie in ihrem hochohmigen Zustand sind. Diese Kapazitäten sind in der Verbindungsstruktur sichtbar und müssen von dem Sender getrieben werden. Die Ausgangskapazitäten sind in den meisten Fällen genauso groß wie die Eingangskapazitäten, so daß nur ein Parameter notwendig ist, um die Ein- und Ausgangskapazitäten zu modellieren. Die hier vorgestellten Modelle berechnen die Anzahl der Ein- und Ausgangskapazitäten, die in der Verbindungsstruktur sichtbar sind ( $N_{IO}$ ).

Anstatt der schaltenden Kapazität der Gatter ist normalerweise der Energieverbrauch je MHz in den Datenblättern angegeben. Mit Gleichung 2 kann die Kapazität berechnet werden.

$$P = C_{Gate} * V^2 * f \Leftrightarrow C_{Gate} = \frac{P}{V^2 * f} \quad (Gl. 2)$$

Die Gatter, die benötigt werden, um die Modelle zu realisieren, unterscheiden sich nicht signifikant in ihrem Energieverbrauch, so daß ein Wert für den Energieverbrauch der schaltenden Gatter angenommen werden kann. Gleichung 3 zeigt die gesamte Schaltkapazität in dem hier vorgestellten Ansatz.

$$C_{total} = C_{IO} * N_{IO} + C_{Gate} * N_{Gates} + C_{sp} * L * width \quad (Gl. 3)$$

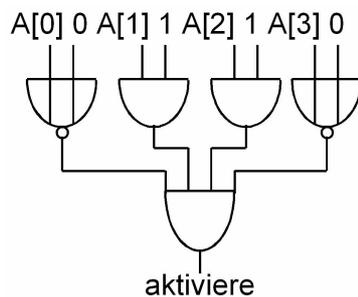
$N_{Gates}$  ist dabei die Anzahl der schaltenden Gatter für einen Transfer. Die Anzahl wird durch die Modelle bestimmt. Um den Energieverbrauch der ganzen Verbindungsstruktur zu ermitteln, müssen ebenso die Taktfrequenz  $f$ , die Arbeitsspannung  $U$  und die Auslastung  $\alpha$  berücksichtigt werden.

$$P_{total} = \alpha * C_{total} * U^2 * f \quad (Gl. 4)$$

### 2.3 Adreßdekoder

Der Adreßdekoder ist ein Baustein, der in allen Verbindungsstrukturen gefunden werden kann. Aus diesem Grund wird in diesem Unterabschnitt ein Modell eines Adreßdekoders präsentiert, das im folgenden für die Modellierung der Verbindungsstrukturen genutzt wird.

Um  $n$  Module in einem System identifizieren zu können, ist eine Adreßlogik für  $\lceil \log_2 n \rceil$  Bits notwendig (s.o.). Es wird angenommen, daß die eingehende Adresse mit der Adresse des Moduls auf Gleichheit verglichen wird. Dafür werden je Modul  $\lceil \log_2 n \rceil$  NOR bzw. AND Gatter mit zwei Eingängen benutzt, die im folgenden als „Adreßeingangsgatter“ bezeichnet werden. Da Adressen für bis zu 64 Module maximal 8 Bit haben, können die Ausgänge der Adreßeingangsgatter in den meisten Technologien mit einem AND Gatter, dem „Adreßaktivierungsgatter“, ausgewertet werden. **Bild 2** zeigt den prinzipiellen Aufbau des Adreßdekoders.



**Bild 2: Adreßdekoder**

Die Anzahl der Gatter in dem gesamten System für die Adreßdekoder kann für alle Verbindungsstrukturen außer dem Crossbar-Switch durch die folgende For-

mel modelliert werden. Der Crossbar benötigt  $n$ -mal mehr Gatter für die gesamte Adreßlogik (s.u.).

$$N_{Gates,A,Addr} = n * (\lceil \log_2 n \rceil + 1) \quad (Gl. 5)$$

Wie oben beschrieben wird angenommen, daß die Eingänge der Gatter, die direkt mit der Verbindungsstruktur verbunden sind, mit einer Wahrscheinlichkeit von 50% schalten. Dies resultiert in einer Schaltwahrscheinlichkeit von 37,5% für die Adreßeingangsgatter und die Eingangskapazitäten der Adreßaktivierungsgatter. In dem gesamten System schalten in der Regel zwei dieser Aktivierungsgatter, eins im vorher empfangenden Modul, um es zu deaktivieren, und eins im aktuell empfangenden Modul, um es zu aktivieren. Der Fall, daß vorherige und das aktuelle Modul identisch sind, wird hier vernachlässigt. Für die Schaltkapazität der Gatter und die schaltenden Eingangskapazitäten folgt:

$$N_{Gates,Addr} = 0.375 * n * \lceil \log_2 n \rceil + 2 \quad (Gl. 6)$$

$$N_{IO,Addr} = 0.875 * n * \lceil \log_2 n \rceil \quad (Gl. 7)$$

Gleichung 7 berücksichtigt die Eingangskapazitäten der Adreßeingangsgatter mit einer Schaltwahrscheinlichkeit von 50% und die Eingangskapazität der Aktivierungsgatter mit einer Wahrscheinlichkeit von 37,5%.

## 3 Modelle der Verbindungsstrukturen

In dem folgenden Abschnitt werden detaillierte Modelle verschiedener Verbindungsstrukturen, die auf den im vorhergehenden Abschnitt vorgestellten Annahmen und Grundlagen basieren, vorgestellt. Sie ermöglichen die Abschätzung des Flächen- und Energieverbrauchs von verschiedenen Verbindungsstrukturen.

### 3.1 Bus

Der Bus ist dadurch charakterisiert, daß jeder Transfer von jedem Modul in dem System gesehen werden kann und daß die Leitungen bidirektional genutzt werden. All Ein-/Ausgänge mit demselben Namen sind über dieselbe Leitung miteinander verbunden.

Um den Bus zu modellieren wird angenommen, daß die Leitungen über den gesamten Chip reichen. In den meisten Standardzellentechnologien werden die Leitungen vertikal und horizontal geführt. Damit ist die gesamte Länge der Leitungen gegen durch (vgl. [2])

$$L_{A,Bus} = W * 2 * B * \sqrt{n} \quad (Gl. 8)$$

Da die Leitungen von verschiedenen Modulen getrieben werden können, ist es notwendig, Tri-State-Trei-

Treiber in dem System vorzusehen. Für alle Ein-/Ausgänge ist ein Tri-State-Treiber je Leitung notwendig für Schreiboperationen. In jedem Modul muß weiter ein Adreßdekor vorhanden sein. Gleichung 9 beschreibt den Flächenverbrauch des Busses.

$$N_{Gates,A,Bus} = n * W + N_{Gates,A,Addr} \quad (Gl. 9)$$

Während eines Transfers schalten alle Leitungen in dem Bussystem mit einer Wahrscheinlichkeit von 50%. Damit folgt für die gesamte schaltende Leitungslänge

$$L_{Bus} = W * B * \sqrt{n} \quad (Gl. 10)$$

Für einen Transfer schalten alle Tri-State-Treiber des sendenden Moduls mit einer Wahrscheinlichkeit von 50%. Weiter schalten alle Adreßdekor (s.o.). Die Gatter, die aufgrund der eingehenden Daten in ein Modul schalten, werden in diesem Ansatz nicht modelliert, da die Interpretation der Eingangsdaten von der internen Funktionalität des Moduls abhängt. Die Anzahl der schaltenden Gatter wird beschrieben durch

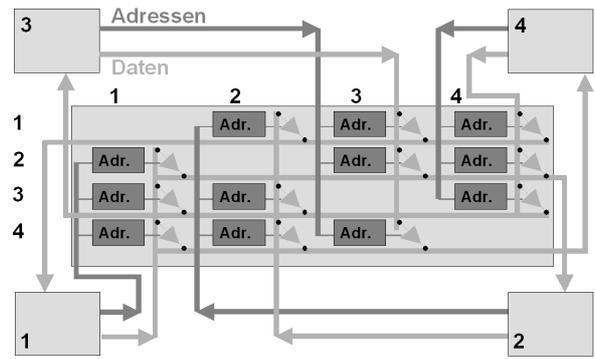
$$N_{Gates,Bus} = 0.5 * W + N_{Gates,Addr} \quad (Gl. 11)$$

Die schaltenden Ein- und Ausgangskapazitäten werden wie folgt modlliert: die Ausgangskapazitäten aller Tri-State-Treiber außer denen des Senders sind auf dem Bus sichtbar. Weiter müssen die Eingangskapazitäten des Senders und die Eingangskapazitäten aller Dateneingänge berücksichtigt werden. Den letzten Beitrag zu den Ein- und Ausgangskapazitäten bilden die Eingangskapazitäten des Adreßdekoders. Die Ein- bzw. Ausgangskapazität von jedem Ein-/Ausgang schaltet mit einer Wahrscheinlichkeit von 50%.

$$N_{IO,Bus} = 0.5 * (n * (2 * W - \lceil \log_2 n \rceil)) + N_{IO,Addr} \quad (Gl. 12)$$

### 3.2 Crossbar-Switch

Im Gegensatz zu der Busstruktur, ist die Informationsverteilung in einem Crossbar-Switch zentralisiert. Die Adreßdekor und die Tri-State-Treiber sind in einem Modul konzentriert, im folgenden „Verteiler“ genannt. Da die Logik zentralisiert ist, ist eine Platzierung der Module entlang einer Geraden nicht für einen Crossbar-Switch geeignet. Hier wird angenommen, daß die Module um den Verteiler herum platziert werden. **Bild 3** zeigt den Aufbau des Crossbar-Switches. Für die Abschätzung der Leitungslänge muß der durchschnittliche Abstand vom Verteiler für diese Anordnung berechnet werden. Dafür wird die gesamte Chipfläche in eine kreisförmige Fläche transformiert



**Bild 3: Crossbar-Switch**

Diese kreisförmige Fläche wird durch einen Kreis mit dem mittleren Abstand in zwei gleich große Teile geteilt.

$$\pi * r_{av}^2 = \frac{1}{2} * n * B^2 \Rightarrow r_{av} = \frac{\sqrt{n} * B}{\sqrt{2\pi}} \quad (Gl. 13)$$

Da die Logik in dem Verteiler konzentriert ist, können die Leitungen zwischen dem Verteiler und den Modulen nur unidirektional genutzt werden. Daher müssen die Leitungen für die Daten zweifach vorhanden sein, für die Eingangs- und für die Ausgangsdaten. Die Leitungen für die Adressen brauchen die Informationen nur in eine Richtung zu übertragen und sind dementsprechend nur einfach vorhanden. Weiter sind zwei Leitungen je Modul notwendig, die anzeigen, ob ein bestimmtes Modul angesprochen wird bzw. ob ein Modul Daten schreibt. Da es oft nicht möglich ist, direkt von einem Modul zu dem Verteiler zu verdrahten, wird der mittlere Radius mit einem Faktor multipliziert. Für eine Technologie mit zwei Metallagen wird dieser Faktor zu zwei gesetzt. Damit ergibt sich für die Gesamtlänge der Leitungen beim Crossbar-Switch folgende Gleichung.

$$L_{A,Switch} = n * (2 * W - \lceil \log_2 n \rceil + 2) * 2 * r_{av} \quad (Gl. 14)$$

Der Crossbar-Switch in dem Verteiler wird durch ein Gitter modelliert, dessen Zeilen und Spalten jeweils durch Tri-State-Treiber miteinander verbunden sind, so daß  $(n-1)^2$  Tri-State-Treiber für jede Datenleitung notwendig sind. Diese Treiber müssen gesteuert werden. Es werden immer nur die Treiber aktiviert, in deren Eingänge geschrieben wird und deren Ausgänge zu dem adressierten Modul führen. Somit können alle Tri-State-Treiber, die zu demselben Sender und Empfänger gehören, durch ein AND Gatter gesteuert werden. Dieses AND Gatter verknüpft den Schreibindikator von dem Sender mit der dekodierten Adresse und kontrolliert somit  $W - \lceil \log_2 n \rceil$  Tri-State-Treiber. Der Crossbar-Switch enthält in jeder seiner  $n$  Spalten einen vollen Satz von  $n$  Adreßdekodern. Damit sind in dem gesamten Crossbar-Switch  $n$ -mal mehr Adreßdekor als im Bus vorhanden. Dies ermöglicht mehrere

Transfers in einem Takt. Die Anzahl der benötigten Gattern läßt sich beschreiben durch

$$N_{Gates,A,Switch} = (n-1)^2 (W - \lceil \log_2 n \rceil + 1) + n * N_{Gates,A,Addr} \quad (Gl. 15)$$

Der Verteiler in dem Crossbar-Switch entkoppelt die Leitungen der verschiedenen Module. Aus diesem Grund schaltet nur ein Teil der Leitungen in dem Crossbar-Switch während eines Transfers. Alle Daten- und Adreßleitungen des Senders und alle Datenleitungen des Empfängers schalten mit einer Wahrscheinlichkeit von 50%. Zusätzlich schalten die Kontrollleitungen der aktuell und vorher aktiven Module.

$$L_{Switch} = (0.5 * (2 * W - \lceil \log_2 n \rceil) + 4) * r_{av} \quad (Gl. 16)$$

Um Daten zu transferieren, müssen die Daten und die Adresse zu dem Verteiler gesendet werden, und dann müssen die Daten von dort empfangen werden. Für einen Transfer müssen ein Tri-State-Treiber je Datenleitung und das dazugehörige AND Gatter schalten. Der im vorhergehenden Takt treibende Tri-State-Treiber wird durch das entsprechende AND Gatter deaktiviert. Weiter schaltet ein Satz von Adreßdekodern. Das heißt, daß in dem Crossbar-Switch  $n$  der  $n^2$  Adreßdekoder, und damit genauso viele wie beim Bus, für einen Transfer benötigt werden. Die Anzahl der schaltenden Gatter wird durch die folgende Formel beschrieben.

$$N_{Gates,Switch} = 0.5 * (W - \lceil \log_2 n \rceil) + 2 + N_{Gates,Addr} \quad (Gl. 17)$$

Die Ein- und Ausgangskapazitäten des Crossbar-Switches für eine Datenleitung bestehen aus den Eingangskapazitäten der  $(n-1)$  Tri-State-Treiber in den aktivierten Spalten und den  $(n-1)$  Ein-/Ausgangskapazitäten in der aktivierten Reihe. In der Spalte der aktuell und vorher schreibenden Module wird der Schreibindikator gesetzt bzw. zurückgesetzt. Damit schalten  $2 * (n-1)$  Eingangskapazitäten der AND Gatter. Weiter müssen je ein Tri-State-Treiber aktiviert bzw. deaktiviert werden. Die Kapazität des Aktivierungseingangs eines Tri-State-Treibers ist genauso groß wie seine Eingangskapazität. Da die (De)aktivierung durch die Adreßdekoder über die AND Gatter modelliert ist, müssen zwei Eingangskapazitäten je Tri-State-Treiber berücksichtigt werden. Gleichung 18 bestimmt die gesamte schaltenden Ein-/Ausgangskapazität des Crossbar-Switches.

$$N_{IO,Switch} = (n-1) * (W - \lceil \log_2 n \rceil) + 2 * (n-1) + 4 + N_{IO,Addr} \quad (Gl. 18)$$

### 3.3 Multiplexer

Im Gegensatz zu Bussen und Crossbar-Switches wird jede Leitung der Multiplexerstruktur durch ein Gatter getrieben, so daß keine Tri-State-Treiber notwendig sind. Der Multiplexer wählt die Leitungen des Senders aus und treibt die ausgewählten Daten und die Adresse auf Leitungen, die jeweils mit allen Eingängen der Module verbunden sind.

Jedes Modul muß mit dem Multiplexer über  $W$  Leitungen verbunden werden. Die Verbindung zwischen dem Multiplexer und den Eingängen der Module benötigt ebenfalls  $W$  Leitungen. Da die Platzierung der Module durch die gemeinsamen Leitungen für die Eingänge der Module eingeschränkt ist, werden hier dieselben Annahmen für die durchschnittliche Leitungslänge wie beim Bus verwendet.

$$L_{A,Mux} = (n+1) * W * 2 * B * \sqrt{n} \quad (Gl. 19)$$

Die Zellfläche für die Multiplexerstruktur wird bestimmt durch die Anzahl der Multiplexergatter mit zwei Eingängen, die benötigt werden, um einen Baum für  $n$  Module zu bilden, und die Kosten für die Adreßdekoder. Die Gleichung für die Zellfläche ist um einen heuristischen Faktor  $1/\lceil \log_2 n \rceil$  erweitert worden. Dieser Faktor modelliert die Tatsache, daß für eine größere Anzahl von Modulen Multiplexergatter mit mehr als zwei Eingängen benutzt werden können, die in der Regel ressourceneffizienter sind.

$$N_{Gates,A,Mux} = (n-1) * W / \lceil \log_2 n \rceil + N_{Gates,A,Addr} \quad (Gl. 20)$$

Während eines Transfers werden die Leitungen von dem Sender zu dem Multiplexer und die Leitungen vom Multiplexer zu den Eingängen aller Module verwendet.

$$L_{Mux} = W * 2 * B * \sqrt{n} \quad (Gl. 21)$$

In dem Multiplexer schalten alle Gatter mit einer Wahrscheinlichkeit von 50%. Selbst wenn die Eingangsdaten der Multiplexer konstant bleiben, kann der Ausgang wegen Änderungen in den Kontrolleingängen schalten. Die Generierung der Kontrollbits ist hier nicht modelliert, da sie ein Teil der Arbitrierung ist. Insgesamt schaltet in der Multiplexerstruktur die folgende Anzahl an Gattern.

$$N_{Gates,Mux} = 0.5 * (n-1) * W / \lceil \log_2 n \rceil + N_{Gates,Addr} \quad (Gl. 22)$$

Die schaltende Eingangskapazität der Multiplexerstruktur besteht aus den Eingangskapazitäten des Multiplexerbaums, der Eingänge der Module, die mit den gemeinsamen Leitungen verbunden sind, und der Adreßdekoder.

$$N_{IO,Mux} = 0.5 * W * (n-1) / \lfloor \log_2 n \rfloor + 0.5 * n * (W - \lceil \log_2 n \rceil) + N_{IO,Addr}$$

(Gl. 23)

## 4 Simulative Ergebnisse

### 4.1 Simulationsumgebung

Für die Simulationen ist eine 0,6 µm, 5 V CMOS Technologie mit zwei Metallagen benutzt worden. Die einzelnen Verbindungsstrukturen sind in VHDL auf Verhaltensebene beschrieben und anschließend mit dem „Design Compiler“ von Synopsys synthetisiert worden. Die Kapazitäten der Netze wurden nach der Platzierung und Verdrahtung mit dem Programm „Framework“ von Cadence extrahiert. Anschließend wurde eine Simulation mit zufälligen Eingabedaten auf Gatterebene durchgeführt, um die Schaltwahrscheinlichkeiten der Standardzellen zu bestimmen. Die Schaltwahrscheinlichkeiten dienen als Eingabe für das Programm „DesignPower“ von Synopsys, das den Energieverbrauch der Verbindungsstruktur berechnet. Alle Verbindungsstrukturen mit derselben Anzahl von Modulen sind mit identischen Eingangsdaten simuliert worden. Weiter sind die Verbindungsstrukturen mit verschieden großen Modulen, was zu unterschiedlichen Leitungslängen führt, miteinander verglichen worden. Die kleinen Modulen entsprechen etwa 1.000 Gattern, die mittleren 10.000 Gattern und die großen 100.000 Gattern. Bei allen Simulationsdurchläufen betrug die Breite der Schnittstelle zwischen den Modulen und der jeweiligen Verbindungsstruktur 16 Bit.

### 4.2 Ergebnisse

Sowohl die analytische Modellierung als auch die Simulationen zeigen, daß der Multiplexer in allen Fällen die meiste Energie verbraucht. Für kleine Module ist der Bus etwas energiesparender als der Crossbar-Switch. Für große Module ist der Switch günstiger, da nicht immer alle Leitungen getrieben werden müssen. Es hat sich gezeigt, daß die analytischen Modelle einen zu geringen Energieverbrauch voraussagen, da die Modelle die notwendige Treiberleistung nicht berücksichtigen. Um dies auszugleichen, sind alle Modelle mit einem konstanten Faktor multipliziert worden. Nach dieser Kalibrierung betrug der mittlere Fehler zwischen den theoretischen Abschätzungen und den Ergebnissen der Simulationen etwa 10%. Wegen der nicht modellierten Treiber sind ebenfalls die Abschätzungen für die Anzahl der verwendeten Gatter zu klein. Nach einer Kalibrierung mit einem konstanten

Faktor betrug der mittlere Fehler für die Anzahl der Gatter ca. 25%.

## 5 Zusammenfassung

In dieser Arbeit ist die theoretische Analyse von verschiedenen Verbindungsstrukturen dargestellt und mit den simulativen Ergebnissen für eine 0,6 µm Standardzellenbibliothek verglichen worden. Der Crossbar-Switch liefert dabei eine ebenso geringen Energieverbrauch je Transfer wie der Bus und einen geringeren als der Multiplexer. Neben der Energieeffizienz bietet der Crossbar-Switch den Vorteil, daß durch ihn der Kommunikationsdurchsatz für eine Reihe von neuen Applikationen mit mehreren DMA-fähigen Modulen [1] erhöht werden kann.

In zukünftigen Arbeiten sollen zum einen die Genauigkeit der Modelle verbessert und neue Architekturen, wie z.B. hierarchische Verbindungsstrukturen, untersucht werden. Die Steigerung der Genauigkeit kann u.a. dadurch erreicht werden, daß verschieden Größen für die einzelnen Module unterstützt werden. Zum andern soll der Einfluß der Arbitrierung auf den Flächen- und Energieverbrauch von Verbindungsstrukturen auf einem Chip untersucht werden.

## 6 Literatur

- [1] P. Berenbrink, A. Brinkmann, and C. Scheideler, "Design of the PRESTO Multimedia Data Storage Network," *Proc. of the Workshop on Communication and Data Management in Large Networks (INFORMATIK 99)*, Oktober 1999
- [2] R. Mehra, J. Rabaey, "Behavioral Level Power Estimation and Exploration," *Proc. First International Workshop on Low Power*, Napa Valley, CA, April 1994
- [3] H. Zhang, M. Wan, V. George, J. Rabaey, "Interconnect Architecture Exploration for Low-Energy Reconfigurable Single-Chip DSPs," *Proceedings of the IEEE Computer Society Workshop on VLSI'99*, 1999
- [4] Y. Zhang, W. Ye, and M. Irwin, "An Alternative Architecture for On-Chip Global Interconnect: Segmented Bus Power Modeling," *36th Asilomar Conf. on Signals, Systems, and Computers*, November 1998
- [5] Y. Zhang, W. Ye, R. Owens, M. Irwin, "The Power Analysis of Interconnect Structures," *Proc. of the ASIC'97 Conference*, Portland, Oregon, September 1997